

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

昭54-60999

⑫Int. Cl.³
G 07 D 7/00
G 06 K 9/00識別記号 ⑬日本分類
115 D 1
97(7) J 71庁内整理番号 ⑭公開
7536-3E
7622-5B

昭和54年(1979)5月16日

発明の数 2
審査請求 未請求

⑮紙幣識別装置

(全 8 頁)

⑯特 願 昭52-127353
⑰出 願 昭52(1977)10月24日
⑱発 明 者 大西和彦姫路市下手野35番地 グローリ
ー工業株式会社内
⑲出 願 人 グローリ-工業株式会社
姫路市下手野35番地
⑳代 理 人 弁理士 猪股清 外2名

明 細 書

発明の名称 紙幣識別装置

特許請求の範囲

- 1 光字手段により識別すべき紙幣の光学的模様を定直し、この模出信号によつて紙幣の金種を判別し得るようにした紙幣識別装置において、
- 2 上記定直方向に短かく、かつ定直方向と直交する方向に長い形状の検出面を有する、光像及び受光素子で成る光電検出装置と
- 3 この光電検出装置の出力波形を波形変換する波形変換回路と、
- 4 この波形変換回路の出力を予め定められた閾値のレベルにおいてそれぞれ比較する比較回路と、
- 5 上記定直方向に同期して出力される定直タイミング信号を計数することにより上記定直位置を判別する位置判別回路と、
- 6 この位置判別回路によつて指示される位置

(1)

において上記比較結果の出力を記憶する記憶回路と、

7 この記憶回路の出力に基づいて上記紙幣の金種を判別する金種判別回路と、
8 金種を判別したことを特徴とする紙幣識別装置。

2 特許請求の範囲第1項記載のものにおいて、前記波形変換回路を前記光電検出装置の出力波形を定分する微分回路及びこの微分回路の出力を2乗する2乗回路で構成したことを特徴とする紙幣識別装置。

3 特許請求の範囲第1項記載のものにおいて、前記位置判別回路を前記定直タイミング信号を計数する計数回路と、この計数回路の計数値により前記紙幣の定直領域を複数の領域に分割する信号を形成する領域形成回路とを構成し、各領域毎に前記レベルの比較を行なうようにしたことを特徴とする紙幣識別装置。

4 光字手段により識別すべき紙幣の光学的模様を定直し、この模出信号によつて紙幣の金種を判別し得るようにした紙幣識別装置において、

(2)

- a. 上記走査方向に短かく、かつ走査方向と直交する方向に長い形状の検出面を有する、光線及び受光素子で成る光電検出装置と、
 - b. この光電検出装置の出力波形を波形整形する波形整形回路と、
 - c. この波形整形回路の出力が所定レベルを維持する時間を測定し、予め設定された設定時間を経過したときに信号を出力する時間回路と、
- を具備したことを特徴とする紙幣識別装置。

発明の詳細な説明

この発明は紙幣識別装置に関し、さらに詳しく言えば紙幣計数機、紙幣分類機等において被処理紙幣の金額を判別すると共に、当該金額の収納部へ選別搬送又は昇降するための紙幣識別装置に関する。

従来、紙幣両端検等における紙幣識別装置にあつては多数のチェックポイントを設け、これらのチェックポイントが正しく検出部を通過するよう、

(3)

位回路の出力に基づいて紙幣の金額を判別する論理回路とを設けると共に、光電検出装置の出力波形を波形整形する波形整形回路と、この波形整形回路の出力が所定レベルを維持する時間を測定し、予め設定された設定時間を経過したときに信号を出力する時間回路とを設け、これにより紙幣の金額を確実に識別し得るようにしたものである。

次に、この発明の具体的な実施例を図面を参照しながら説明する。

第1図は紙幣の搬送機構部を示すものであり、識別するために搬送された紙幣1は搬送ベルト2上を搬送されると共に、搬送方向とは逆方向にゆつくり回転する分動ローラ3で1枚ずつに分離され搬送ローラ4位置に送る。搬送ローラ4に取り込まれた紙幣は次設の搬送ベルト5及び搬送ローラ6に取り込まれて図示の上方向に搬送され、その出口部に設けられた孔部ローラ7を過つて収納部8に収納される。しかし、搬送ベルト5及び搬送ローラ6で構成される搬送部にはその搬送路

(5)

紙幣の移送を規制しながら紙幣の識別を行なつていた。このため、処理速度が遅く位相的な規制があると共に、紙幣計数機や紙幣分類機等大量の紙幣を高速度で処理する装置には向きであるといつた欠点がある。よつて、この発明の目的はかかる欠点のない紙幣識別装置を提供することにある。

以下にこの発明を説明する。

この発明は、光字手段により識別すべき紙幣の光学的模様を定査し、この検出信号によつて紙幣の金額を判別し得るようにした紙幣識別装置に關し、走査方向に短かく、かつ走査方向と直交する方向に長い形状の検出面を有する、光線及び受光素子で成る光電検出装置と、この光電検出装置の出力波形を波形変換する波形変換回路と、この波形変換回路の出力を予め定められた模様のレベルにおいてそれぞれ比較する比較回路と、走査に同期して出力される定査タイミング信号を計数することにより走査位置を判別する位置判別回路と、この位置判別回路によつて指示される位置において比較回路の出力を記憶する記憶回路と、この記

(4)

を挟んで光線9及び受光素子10が対向して配設されており、その詳細を第2図に示す。すなわち、紙幣1の搬送路たる搬送ベルト5の高さ位置に、紙幣の搬送方向に短かく、かつ紙幣1の搬送方向と直交する方向に長い形状のスリット11を有する光遮断用のプレート12が設けられており、このプレート12のスリット11を挟んで対向するようにランプ等の光線9と、フォトダイオード等の受光素子10とが配設されている。また、搬送ベルト5の回転部にはロータリエンコーダ13が取り付けられており、このエンコーダ13の出力及び受光素子10の出力は第3図に示す回路で処理される。

第3図に示すように、受光素子10で光線9からの受光量に対応した電流量に変換された電気信号は、電流/電圧信号変換器20で電圧信号Vに変換されてインバータ21及びコンパレータ22に入力される。インバータ21で符号反転された電圧信号Vは非反転増幅器23で電圧増幅され、この増幅された信号VFが微分回路24及びコン

(6)

パレータ25に入力される。しかし、積分回路24の出力Vは乗算回路26に輸入されて2乗され、この出力SVが比較レベルの異なる2つのコンパレータ27及び28に輸入され、これら比較結果P及びQがアンド回路29-31及び32-34にそれぞれ入力されるようになっている。また、コンパレータ25の出力CVはインバータ35を経てアンド回路36に輸入され、コンパレータ32の出力CMはアンド回路36及びカウンタ回路37に輸入される。しかし、アンド回路36の出力Qによつてアナログスイッチ41をオンオフ制御し、電圧検波42からの電圧を積分スイープ装置39で積分してこの積分値NRをコンパレータ40に輸入する。一方、ロータリエンコーダ43からの出力パルスCPはカウンタ回路37で計数され、この計数値が論理回路50A-50Cで成る順環形成回路50に輸入される。ここで順環分けされた順環信号Z1、Z2、Z3はそれぞれアンド回路39及び32、33及び33、31及び34に輸入されると共に、これらアンド回路

(7)

51-53はその受光管に対応した電流信号を出力し、これが電流/電圧信号変換器54で電圧信号Vに変換される。この電圧信号Vは、たとえば図4(A)の如く示され、これがインバータ51及びコンパレータ25に輸入される。ここで、コンパレータ25の基準電圧をV₀とすればその出力CMは図4(B)の如く、信号Vが基準電圧V₀よりも小さくなる時点で、 $\frac{1}{2}$ の間で「1」となり、これがマスターパルスとしてアンド回路36に輸入されると共に、計数動作可能信号としてカウンタ回路37に輸入される。つまり、カウンタ回路37は信号CMが「1」の時のみロータリエンコーダ43からの出力パルスCPを計数する。したがって、コンパレータ25の基準電圧V₀は電圧信号Vに関連して振幅がスリット1/1上にあることを示すように対応付けて設定しておく。また、電流/電圧信号変換器54からの電圧信号Vはインバータ51で反転され、この反転された電圧信号 \bar{V} が非反転増幅器52に輸入される。この非反転増幅器52は入力される負電圧信号 \bar{V} に正の直

(8)

29-34の各出力はフリップフロップ51-56に輸入され、さらにその出力がラッチ回路57-63に輸入される。また、コンパレータ40の出力CAもフリップフロップ57を経てラッチ回路64に輸入され、これらラッチ回路57-64にラッチされたデータはストロブパルスSPによつて一度に論理演算回路65に輸入されるようになっている。

このような構成において、取除された紙幣は搬送ベルトその他の駆動により分岐ローラ3で1枚ずつに分離され搬送ローラ4を越、搬送ベルト5及び搬送ローラ6によつて検出用ローラ7を過つて収納部8に順次収納される。この場合、ロータリエンコーダ43からは出力パルスCPが出力され、これがカウンタ回路37に輸入されるがこの動作については後述する。

しかし、搬送ベルト5及び搬送ローラ6によつて搬送される紙幣は、光線9からの投射光がプレート12のスリット11を過る光によつて走査され、その透過光が受光素子10に達する。受光

(9)

素子10は受光管に追加した電圧信号を出力し、これが電流/電圧信号変換器54で電圧信号Vに変換される。この電圧信号Vは、たとえば図4(A)の如く示され、これがインバータ51及びコンパレータ25に輸入される。ここで、コンパレータ25の基準電圧をV₀とすればその出力CMは図4(B)の如く、信号Vが基準電圧V₀よりも小さくなる時点で、 $\frac{1}{2}$ の間で「1」となり、これがマスターパルスとしてアンド回路36に輸入されると共に、計数動作可能信号としてカウンタ回路37に輸入される。つまり、カウンタ回路37は信号CMが「1」の時のみロータリエンコーダ43からの出力パルスCPを計数する。したがって、コンパレータ25の基準電圧V₀は電圧信号Vに関連して振幅がスリット1/1上にあることを示すように対応付けて設定しておく。また、電流/電圧信号変換器54からの電圧信号Vはインバータ51で反転され、この反転された電圧信号 \bar{V} が非反転増幅器52に輸入される。この非反転増幅器52は入力される負電圧信号 \bar{V} に正の直

(10)

回路36に輸入されるので、増幅アンド回路36は図4図(P)の如き出力Qを得る。しかして、アンド回路36の出力Qが「1」の時にアナログスイッチ41をオンさせて線形スweep装置39を作動。つまり電圧増幅器38から供給される基準電圧を時間的に正比例するように線形に増分して出力する。そして、出力Qが「0」になればアナログスイッチ41がオフされて線形スweep装置39はクリアされるので、線形スweep装置39のスイープ出力NRは図4図(Q)に示すような锯齿状となる。かかるスイープ出力NRはコンパレータ40に輸入され基準電圧V₁と比較されるので、結局時点t₁に図4図(R)に示すような信号CAを出力し、フリップフロップ51をセットしてそのセット出力をラッチ回路44に輸入する。なお、一方内札以外の紙幣については第5図から判らなように、走査の途中において増幅出力VFが0となることはない。一方内札の場合における如く比較的長い時間(第5図の時点t₁からt₂まで)に相当する時間以上)にわたってアナログスイ

(11)

えるとコンパレータ27から「1」信号が出力され、乗算信号SVが基準電圧V₁を越えたとコンパレータ28から「1」信号が出力される。たとえは図4図(i)に示すような微分信号DVが微分回路26から出力されると、これが乗回路26で乗算される。図4図(j)に示すような乗信号SVを出力する。しかして、基準電圧V₁及びV₂を図4図(j)の如きレベルに設定すれば、コンパレータ27及び28の各出力P、Qはそれぞれ図4図(k)、(l)のようになる。ここにおいて、各紙幣に対する実際の乗出力を図4図(A)~(H)に示す。同図(A)及び(B)はそれぞれ一方内札に対する乗信号であり、同図(C)は五千円札に対する乗信号、同図(D)~(F)はそれぞれ十円札に対する乗信号、同図(G)及び(H)はそれぞれ五百円札に対する乗信号である。このような各紙幣に対する乗信号SVはそれぞれコンパレータ27及び28に輸入され、コンパレータ27で高いレベルの基準電圧V₁と比較されてその出力Pがアンド回路29~31に輸入されると共に、コンパレータ28で低いレベルの基準

(12)

電圧V₂と比較されてその出力Qがアンド回路32~34に輸入される。一方、ロータリエンコーダ13は計数機構が作動状態にされると、駆送ベルト5の駆送動作に連動して第4図(M)に示すようなパルス信号CPを出力し、これがカウンタ回路37に輸入される。しかして、カウンタ回路37はコンパレータ22の出力CMが「1」となる時点t₁からパルス信号CPを計数し始め、その出力を端数回路50のA~Fで成る領域形成回路50に輸入する。領域形成回路50はカウンタ回路37の計数値に基づいて3つの領域信号Z1、Z2、Z3を出力して、領域信号Z1をアンド回路29及び31に、領域信号Z2をアンド回路30及び32に、領域信号Z3をアンド回路31及び33にそれぞれ入力する。たとえは第4図(N)~(S)に示すように、時点t₁で領域信号Z1が、時点t₂で領域信号Z2が、時点t₃で領域信号Z3がそれぞれ出力される。したがって、時点t₁~t₂、t₂~t₃、t₃~t₄の間にコンパレータ27、

(13)

電圧V₂と比較されてその出力Qがアンド回路32~34に輸入される。

一方、ロータリエンコーダ13は計数機構が作動状態にされると、駆送ベルト5の駆送動作に連動して第4図(M)に示すようなパルス信号CPを出力し、これがカウンタ回路37に輸入される。しかして、カウンタ回路37はコンパレータ22の出力CMが「1」となる時点t₁からパルス信号CPを計数し始め、その出力を端数回路50のA~Fで成る領域形成回路50に輸入する。領域形成回路50はカウンタ回路37の計数値に基づいて3つの領域信号Z1、Z2、Z3を出力して、領域信号Z1をアンド回路29及び31に、領域信号Z2をアンド回路30及び32に、領域信号Z3をアンド回路31及び33にそれぞれ入力する。たとえは第4図(N)~(S)に示すように、時点t₁で領域信号Z1が、時点t₂で領域信号Z2が、時点t₃で領域信号Z3がそれぞれ出力される。したがって、時点t₁~t₂、t₂~t₃、t₃~t₄の間にコンパレータ27、

(14)

28から信号P、Qが出力されると、領域信号21の23が「1」の時にのみ当該アンド回路29-34から「1」信号が出力されてフリップフロップ51-56にセットされる。ここにおいて、領域信号21が「1」となる領域をゾーンI、領域信号22が「1」となる領域をゾーンII、領域信号23が「1」となる領域をゾーンIIIとし、実際の紙幣に対するHレベル(コンパレータ37)及びLレベル(コンパレータ38)のフリップフロップのセット出力を図に示せば第7図のようになる。すなわち、ゾーンI-IIIに対し、一万円札については第6図(A)がHレベルで「101」、Lレベルで「111」、同図(B)がHレベルで「101」、Lレベルで「101」であることを示している。また、五千円札については第6図(C)から分るようにHレベルで「101」、Lレベルでも「101」である。さらに、千円札については第6図(D)がHレベルで「001」、Lレベルで「111」、同図(E)がHレベルで「100」、Lレベルで「111」、同図(F)がHレベルで「000」、Lレベルで「111」

(15)

として使用しないようになつてゐる。

以上のようにこの発明によれば、紙幣の走査方向に斜かく、かつ走査方向と直交する方向に長い形状の検出面を設けており、紙幣領域を2分割して各ゾーンにおける2乗出力を高低の2つのレベルで比較して識別信号としているので、紙幣の位置規制もなく、大量の紙幣を高速度処理することができる。

なお、上述では光源及び受光素子を固定しておいて、紙幣を移送して走査する場合について述べたが、逆に紙幣を固定しておいて光源及び受光素子を移動して走査することもできる。

図面の簡単な説明

第1図はこの発明を使用した紙幣計数機の機構図、第2図はその光学走査の機構を示す図、第3図はこの発明による回路の一実施例を示す回路構成図、第4図(A)-(F)はその動作例を示すタイムチャート、第5図(A)-(D)は各金種紙幣に対する実際の増幅出力信号の波形を示す図、第6図(A)-(H)は

(17)

であることを示している。また、紙幣内においては第6図(A)がHレベルで「101」、Lレベルで「111」、同図(B)がHレベルで「111」、Lレベルで「111」であることを示している。かかるゾーンI、II、IIIに対する各紙幣の増幅出力は固定されたものと考えられるので、L、Hのレベルは第6図の実際のデータから第7図の組合せになるよう定めればよい。また、ゾーンの分割も正確に精度に及ぼすする必要はなく、適当な値となる領域毎にすればよい。

上述のようにしてフリップフロップ51-57にセットされた信号は一旦ラッチ回路58-64に移送され、ストローパルスSPの入力によつてラッチ出力は一度に論理演算回路65に入力される。しかして、論理演算回路65は第7図の論理信号に従つて紙幣の金種を識別し、当該金種信号を出力する。この場合、一万円札についてはコンパレータ40からの信号CAが入力されていることを検知して金種信号を出力し、コンパレータ37、38からの出力P、Qを識別のため信号

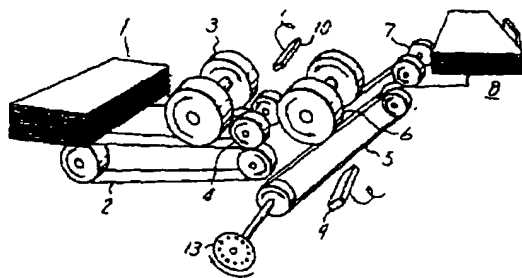
(16)

各金種紙幣に対する上記増幅出力信号の差分信号を2乗した実際の信号波形を示す図、第7図は各紙幣のゾーンI、II、IIIに対するHレベルとLレベルの論理関係を示す図である。

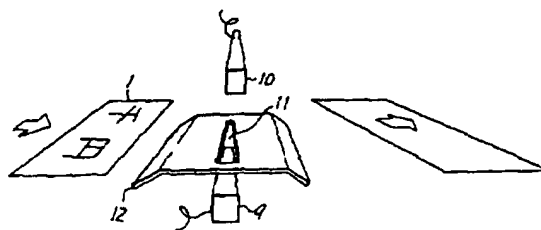
1…紙幣、2、5…搬送ベルト、3…分離ローラ、4、6…搬送ローラ、7…丸形消ローラ、8…収拾部、9…光源、10…受光素子、11…スリット、12…プレート、13…ロータリエンコーダ、20…電圧/電圧信号変換器、21、25…インバータ、22、23、27、28、41…コンパレータ、24…非反転増幅器、26…差分回路、26…2乗回路、29-34、36…アンド回路、37…カウンタ回路、38…反転器、39…増幅スワイプ機構、40…アナログスイッチ、50…領域形成回路、50A-50C…論理回路、51-57…フリップフロップ、58-64…ラッチ回路、65…論理演算回路。

(18)

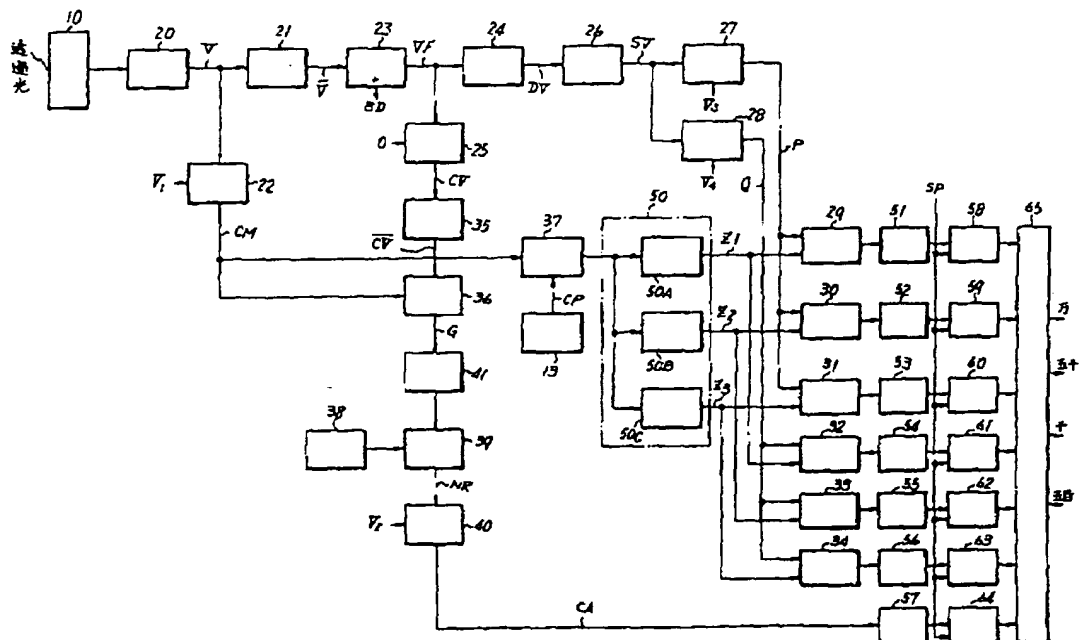
第1図



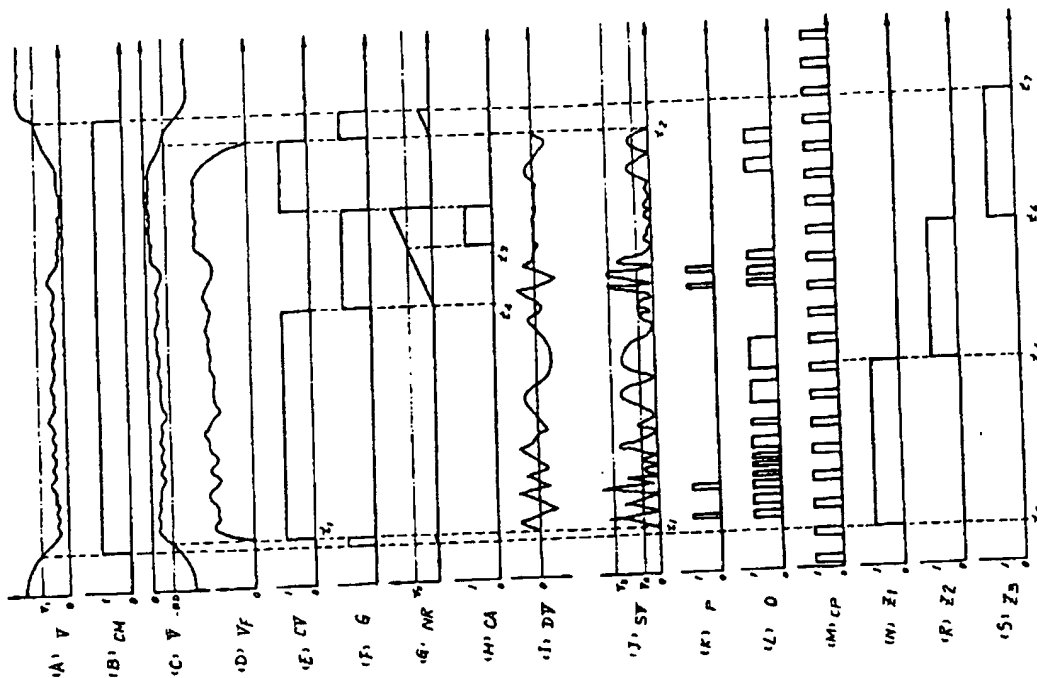
第2図



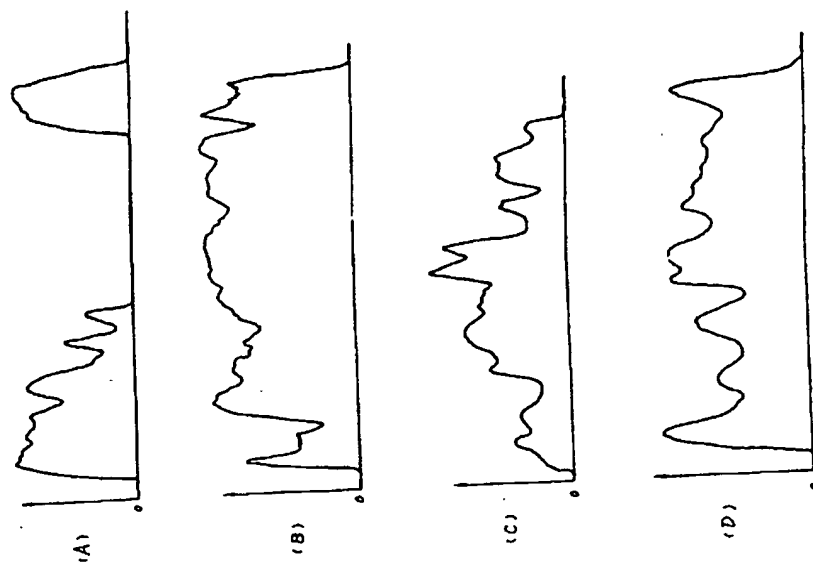
第3図



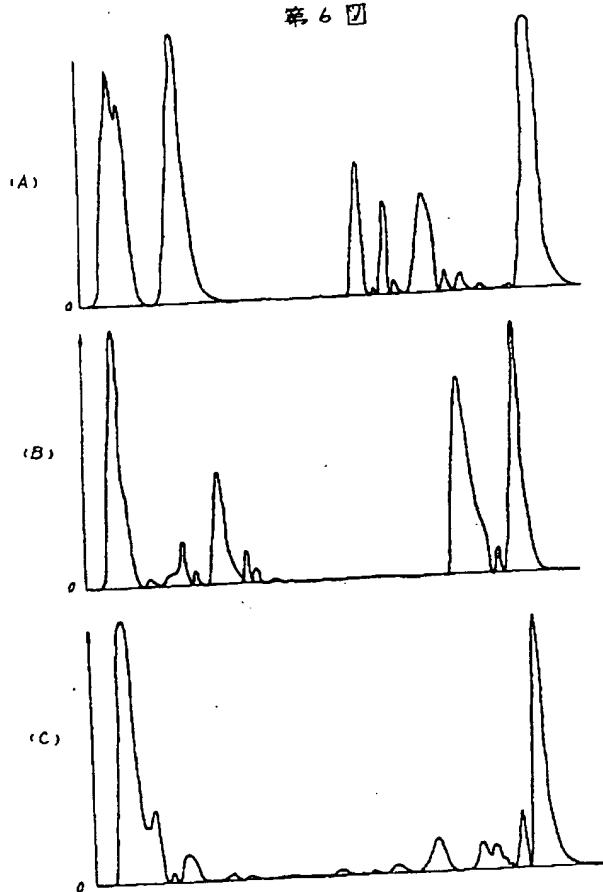
第4図



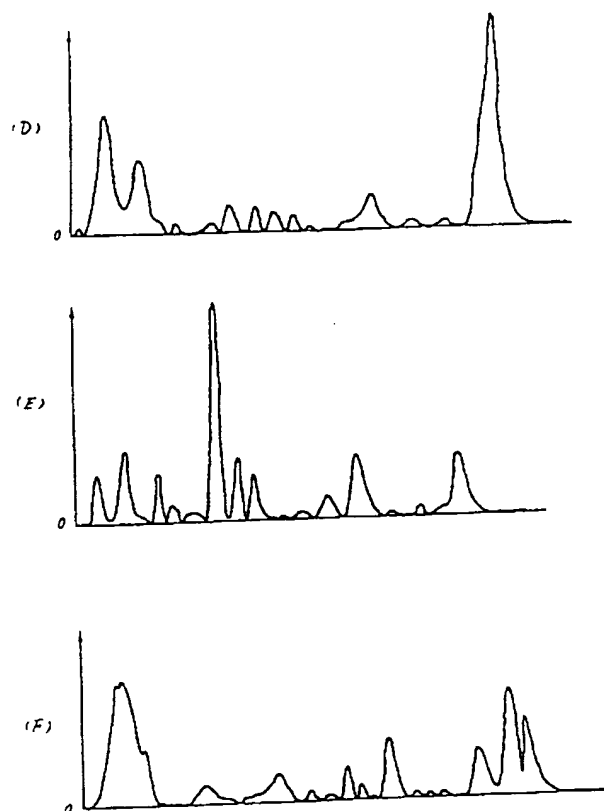
第5図



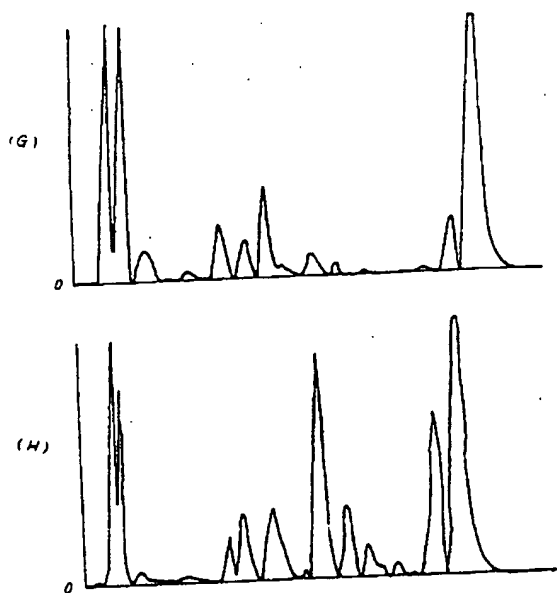
第 6 図



第 6 図



第 6 図



第 7 図

	H レベル			L レベル		
	I	II	III	I	II	III
一万四札	1	0	1	1	1	1
	1	0	1	1	0	1
五千四札	1	0	1	1	0	1
	1	0	0	1	1	1
千四札	0	0	1	1	1	1
	0	0	0	1	1	1
五百四札	1	0	1	1	1	1
	1	1	1	1	1	1

(19) Japanese Patent Office (JP)
(12) Official Gazette of Unexamined Patent Applications (A)

(11) Patent Application Publication No: 54-60999
(43) Patent Application Publication Date: May 16, 1979

(51) Int. Cl. ²	Identification Code	(52) Jpn. Cl.	Internal File Nos.
C 07 D 7/00		115 D1	7536-3E
G 06 K 9/00		97 (7) J 71	7622-5B

Number of Inventions: 2
Request for Examination: Not yet received (Total of 8 Pages)

(54) Title of the Invention: Bank Note Discriminating Device

(21) Patent Application No: 52-127353

(22) Patent Application Date: October 24, 1977

(72) Inventor: Kazuhiko ONISHI
Glory Kogyo Co., Ltd.
35, Shimoteno, Himeji-shi

(71) Applicant: Glory Kogyo Co., Ltd.
35, Shimoteno, Himeji-shi

(74) Agent: Kiyoshi INOMATA, Patent Attorney (and 2 others)

Specification

Title of the Invention Bank Note Discriminating Device

Claims

1. A bank note discriminating device for scanning an optical pattern on a bank note to be identified using an optical means and determining the denomination of the bank note based on the detected signals, wherein the bank note discriminating device is equipped with (a) a photoelectric detector with a light source and a light-receiving element and having a detection surface that is short in the scanning direction and long in the direction perpendicular to the scanning direction, (b) a waveform converting circuit for changing the waveform of the output from the photoelectric detector, (c) a comparison circuit for comparing the output from the waveform converting circuit to a plurality of preset levels, (d) a position determining circuit for determining the scanning position by counting the scanning timing signals outputted simultaneously with the scanning, (e) a memory circuit for storing the output from the comparison circuit at the position indicated by the position determining circuit, and (f) a logic operation circuit for determining the denomination of the bank note based on the output from the memory circuit.

2. The bank note discriminating device in Claim 1, wherein the waveform converting circuit has a differentiating circuit for differentiating the waveform of the output from the

photoelectric detector, and a squaring circuit for squaring the output from the differentiating circuit.

3. The bank note discriminating device in Claim 1, wherein the position determining circuit has a counting circuit for counting the scanning timing signals and a zone forming circuit for using the count signals from the counting circuit to form signals for dividing the scanned zone of the bank note into a plurality of zones, and wherein the levels of each zone are compared.

4. A bank note discriminating device for scanning an optical pattern on a bank note to be identified using an optical means and determining the denomination of the bank note based on the detected signals, wherein the bank note discriminating device is equipped with (a) a photoelectric detector with a light source and a light-receiving element and having a detection surface that is short in the scanning direction and long in the direction perpendicular to the scanning direction, (b) a waveform shaping circuit for shaping the waveform of the output from the photoelectric detector, and (c) a time interval circuit for determining the amount of time an output from the waveform shaping circuit is to be maintained at a certain level and outputting a signal when a preset period of time has elapsed.

Detailed Description of the Invention

The present invention relates to a bank note discriminating device and, more specifically, to a bank note discriminating device for counting bank notes, identifying the

denomination of each bank note, sorting the bank notes by denomination in a storage area or discharging the bank notes by denomination.

Bank note discriminating devices are usually equipped with a plurality of check points. The transit of the bank notes is strictly controlled so they pass correctly over the check points and the detectors can determine the denomination of the bank notes. The processing speed is slowed to allow for greater positional control, but bank note counters and bank note sorters are capable of much higher speeds. Therefore, the purpose of the present invention is to provide a bank note discriminating device that can solve this problem.

The following is an explanation of the present invention.

The present invention is a bank note discriminating device for scanning an optical pattern on a bank note to be identified using an optical means and determining the denomination of the bank note based on the detected signals. Here, the bank note discriminating device is equipped with a photoelectric detector with a light source and a light-receiving element and having a detection surface that is short in the scanning direction and long in the direction perpendicular to the scanning direction, a waveform converting circuit for changing the waveform of the output from the photoelectric detector, a comparison circuit for comparing the output from the waveform converting circuit to a plurality of preset levels, a position determining circuit for determining the scanning position by counting the scanning timing signals outputted simultaneously with the scanning, a memory circuit for storing the output from the comparison circuit at the position indicated by the position determining circuit, and a logic operation circuit for

determining the denomination of the bank note based on the output from the memory circuit. The bank note discriminating device of the present invention can also be equipped with a photoelectric detector with a light source and a light-receiving element and having a detection surface that is short in the scanning direction and long in the direction perpendicular to the scanning direction, a waveform shaping circuit for shaping the waveform of the output from the photoelectric detector, and a time interval circuit for determining the amount of time an output from the waveform shaping circuit is to be maintained at a certain level and outputting a signal when a preset period of time has elapsed.

The following is an explanation of a working example of the present invention with reference to the drawings.

FIG 1 shows the conveyor mechanism for bank notes. Bank notes 1 inserted for denomination identification and conveyed on the conveyor belt 2 are separated into individual bank notes by a separating roller 3 rotating in the opposite direction of the conveyance direction and then sent to conveyor roller 4. The bank notes taken up by conveyor roller 4 are subsequently taken up by conveyor belt 5 and conveyor roller 6 so as to be conveyed in the upward direction in the drawing. The bank note arranging roller 7 at the exit places the bank notes in a housing unit 8. A light source 9 and a light-receiving element 10 are arranged opposite each other with the section of the conveyor system consisting of the conveyor belt 5 and the conveyor roller 6 interposed between them. A more detailed view can be found in FIG 2. The highest position on the conveyor belt 5 for conveying bank notes 1 has a light-blocking plate 12 with a slit 11 that is short in the conveyance direction of the bank notes 1 and long in the direction

perpendicular to the conveyance direction. The light source 9 such as a lamp and the light-receiving element 10 such as a photodiode are arranged opposite each other with the slit 11 in the light-blocking plate 12 interposed between them. A rotary encoder 13 is situated at the rotation section of the conveyor belt 5, and the output from the rotary encoder 13 and the light-receiving element 10 are processed by the circuit shown in FIG 3.

In FIG 3, the amount of light detected by the light-receiving element 10 from the light source 9 is converted to a corresponding amount of electric current, and the electric signals are converted to voltage signals V by the current-voltage signal converter 20 and inputted to inverter 21 and comparator 22. The voltage signals \bar{V} inverted by inverter 21 are amplified by the non-inverting amplifier 23, and the amplified signals V_F are inputted to the differentiating circuit 24 and comparator 25. The output DV from the differentiating circuit 24 is inputted to the squaring circuit 26 and squared. The output SV therefrom is inputted to two comparators 27, 28 with different comparative levels, and the results of the comparison P , Q are inputted to AND circuits 29 ~ 31 and 32 ~ 34, respectively. The output CV from the comparator 25 is inputted to AND circuit 36 via inverter 35, and the output CM from comparator 22 is inputted to AND circuit 36 and counter circuit 37. The turning on and off of the analog switch 41 is controlled by the output G from the AND circuit 36, the voltage from the voltage device 38 is integrated by the linear sweep device 39, and the integrated value NR is inputted to the comparator 40. The output pulse CP from the rotary encoder 13 is counted by the counter circuit 39, and the count value is inputted to a zone forming circuit 50 consisting of logic circuits 50A ~ 50C. The zone-divided zone signals $Z1$, $Z2$, $Z3$ are inputted to AND circuits 29 and 32, AND circuits 30 and 33, and AND circuits 31 and

34, respectively. The output from AND circuits 29 ~ 34 are inputted to flip-flops 51 ~ 56, and the output therefrom is outputted to latched circuits 58 ~ 63. The output CA from comparator 40 is also inputted to latched circuit 64 via flip-flop 57. The data latched by latched circuits 58 ~ 64 are inputted all at once to logic operation circuit 65 using a strobe pulse SP.

In this configuration, the conveyed bank notes 1 are separated from each other by the operation of the conveyor belt 2 and a separating roller 3, are conveyed to the bank note arranging roller 7 by the conveyor belt 5 and conveyor roller 6 via conveyor roller 4, and are placed successively in a storage unit 8. In this case, the output pulses CP from the rotary encoder 13 are inputted to the counter circuit 37. This operation is described below.

A bank note conveyed by the conveyor belt 5 and the conveyor roller 6 is scanned by the light passing through the slit 11 in the plate 12 from the light source 9, which reaches the light-receiving element 10. The light-receiving element 10 outputs an electric current signal corresponding to the amount of light received, and this signal is converted to a voltage signal by the current-voltage signal converter 20. The voltage signal V is inputted to inverter 21 and comparator 22 as shown in FIG 4 (A). If the reference voltage in comparator 22 is V1, the output CM as shown in FIG 4 (B) is "1" at time t0 and tf where signal V is lower than reference voltage V1. This is inputted to the AND circuit 36 as the master pulse and inputted to the counter circuit 37 as the count enable signal. In other words, the counter circuit 37 counts the pulses CP outputted from the rotary encoder 13 when CM is "1". The reference voltage V1 in comparator 22 is linked to voltage signal V and set to correspond to the bank note on top of the slit 11.

The voltage signal V from the current-voltage signal converter 20 is inverted by the inverter 21, and the inverted voltage signal \underline{V} is inputted to the non-inverting amplifier 23. The non-inverting amplifier 23 adds a positive direct current bias voltage BD to the negative voltage signal \underline{V} , amplifies only the position portion of the voltage signal, and sends the amplified signal to the differentiating circuit 24 and the comparator 25. In other words, the output \underline{V} from the inverter 21 is negative voltage that is the inverse of the voltage signal V shown in FIG 4 (C). This is inputted to the non-inverting amplifier 23. The non-inverting amplifier 23 adds a positive direct current bias voltage BD to the negative voltage signal \underline{V} . Here, the bias voltage BD added to the voltage has to make it positive between time t_0 and t_f . The voltage signal made positive by the addition of the positive direct current bias voltage BD between t_1 and t_2 is amplified and the amplified signal VF shown in FIG 4 (D) can be obtained. The actual voltage signals VF for 10,000-yen notes, 5,000-yen notes, 1,000-yen notes and 500-yen notes are shown in FIG 5 (A) through (D), respectively. As shown in this figure, the output for the 10,000-yen note is essentially "0". An voltage output CV from comparator 25 with a reference voltage of nearly "0" indicates a 10,000-yen note as shown in FIG 4 (E). Because this is inputted to AND circuit 36 via inverter 35, the AND circuit 36 obtains the output G shown in FIG 4 (F). When the output G from AND circuit 36 is "1", analog switch 41 is turned on and the linear sweep device 39 is activated. In other words, the output is integrated in linear fashion and outputted when the direct current voltage supplied by the voltage device 38 is positive. When the output G is "0", the analog switch 41 is turned off and the linear sweep device 39 is cleared. As a result, the sweep output NR from the linear sweep device 39 has a saw-tooth shape as shown in FIG 4 (G). Because the sweep output NP is inputted to the comparator 40 and compared to the reference voltage V_2 , the signal CA shown in FIG 4 (H) is outputted at

time t3, flip-flop 57 is set, and the set output is inputted to the latched circuit 64. As shown in FIG 5, the bank notes other than 10,000-yen notes do not generate an amplified output VF of "0" when scanned. Over the course of the relatively long scanning period for 10,000-yen notes (equivalent to time t4 to time t3 in FIG 4), the analog switch 41 is not turned on and no signal CA is outputted. In other words, signal CA is outputted for 10,000-yen notes and latched by the latched circuit 64. Here, linear sweep device 39 and the other circuits were used to obtain signal CA. However, the time can also be measured during which the amplified output VF or output CV from the comparator 25 is held at the low level (nearly "0"), and a time limit circuit used to output signal CA after a predetermined amount of time has elapsed.

In the case of 10,000-yen notes, a signal CA is obtained. The following is a description of the process for the other bank notes.

Here, the amplified signal VF from the non-inverting amplifier 23 is differentiated by the differentiating circuit 24, the signal DV is squared by the squaring circuit 26, and the squared signal SV is inputted to comparator 27 and comparator 28. Comparator 27 compares the signal to a relatively high reference voltage V3 and comparator 28 compares the signal to a relatively low reference voltage V4. If the squared voltage SV exceeds voltage V3, comparator 27 outputs a "1" signal. If the squared voltage SV exceeds voltage V4, comparator 28 outputs a "1" signal. For example, if the differentiating signal DV shown in FIG 4 (I) is outputted from the differentiating circuit 24, it is squared by the squaring circuit 26 and the squared signal SV shown in FIG 4 (J) is outputted. If reference voltage V3 and reference voltage V4 are set as shown in FIG 4 (J), the output P from comparator 27 and the output Q from comparator 28 are shown

in FIG 4 (K) and FIG 4 (L), respectively. Here, the actual squared outputs for the various bank notes are shown in FIG 6 (A) through FIG 6 (H). FIG 6 (A) and FIG 6 (B) show the squared signals for a 10,000-yen note. FIG 6 (C) shows the squared signals for a 5,000-yen note. FIG 6 (D) through FIG 6 (F) show the squared signals for a 1,000-yen note. FIG 6 (G) and FIG 6 (H) show the squared signals for a 500-yen note. The squared signals SV for the various bank notes are inputted to comparator 27 and comparator 28. Comparator 27 compares the signal to a relatively high reference voltage V3 and inputs output P to AND circuits 29 ~ 31, and comparator 28 compares the signal to a relatively low reference voltage V4 and inputs output Q to AND circuits 32 ~ 34.

When the rotary encoder 13 is activated by the counter, the conveyor belt 5 begins to move, the pulse signal CP shown in FIG 4 (M) is outputted, and the signal is inputted to the counter circuit 37. Because the output CM from converter 22 is "1" at time t0, the counter circuit 37 begins by counting pulse signal CP, and the output therefrom is inputted to the zone forming circuit 50 consisting of logic circuits 50A ~ 50C. The zone forming circuit 50 outputs three zone signals Z1, Z2, Z3 based on the numeric values from the counter circuit 37, and outputs zone signal Z1 to AND circuits 29 and 32, zone signal Z2 to AND circuits 30 and 33, and zone signal Z3 to AND circuits 31 and 34. As shown in FIG 4 (N) through FIG 4 (S), zone signal Z1 is outputted at times t0 through t5, zone signal Z2 is outputted at times t5 through t6, and zone signal Z3 is outputted at times t6 through tf. When signal P is outputted by comparator 27 and when signal Q is outputted by comparator 28 between t0 through t5, t5 through t6 and t6 through tf, a "1" signal is outputted from AND circuits 29 through 34 only if zone signals Z1, Z2 and Z3 are "1", and flip-flops 51 through 56 are set. Here, a zone signal Z1 of "1" indicates

Zone I, a zone signal Z2 of "1" indicates Zone II, and a zone signal Z3 of "1" indicates Zone III. The setting-setting outputs consisting of an H level (comparator 27) and an L level (comparator 28) for the various bank notes are shown in FIG 7. In Zone I through Zone III, a 10,000-yen note will have an H level of "101" and an L level of "111" as shown in FIG 6 (A) or an H level of "101" and an L level of "101" as shown in FIG 6 (B). A 5,000-yen note will have an H level of "101" and an L level of "101" as shown in FIG 6 (C). A 1,000-yen note will have an H level of "001" and an L level of "111" as shown in FIG 6 (D), an H level of "100" and an L level of "111" as shown in FIG 6 (E), or an H level of "000" and an L level of "111" as shown in FIG 6 (F). A 500-yen note will have an H level of "101" and an L level of "111" as shown in FIG 6 (G) or an H level of "111" and an L level of "111" as shown in FIG 6 (H). Because the logical output for the various denominations can be set for Zone I, Zone II and Zone III, the actual data for the H levels and L levels can be combined with the actual data from FIG 6 in FIG 7. The zone does not have to be divided into thirds. It can also be divided into fifths.

The signals set by the flip-flops 51 ~ 57 are transferred to the latched circuits 58 ~ 64 all at once, and the latched outputs are transferred all at once to the logic operation circuit 65 by the input of a strobe pulse SP. The logic operation circuit 65 then determines the denomination of a bank note using the logic signals in FIG 7, and outputs a denomination signal. Here, the signal CA inputted from the comparator 40 is recognized as a 1,000-yen bank note signal. A denomination signal is outputted without using the output P, Q from the comparators 27, 28 for determining the denomination.

In the present invention, the detection surface is short in the scanning direction and long in the direction perpendicular to the scanning direction. Also, the bank note zone is divided into three zones and the squared output from each zone is compared at two levels (high and low) to generate discrimination signals. As a result, the bank notes do not have to be positioned precisely and a larger number of bank notes can be processed at higher speeds.

In the working example, the light source and the light-receiving element were stationary and the bank notes were transported and scanned. However, the present invention can also be configured so the bank notes remain stationary and the light source and light-receiving element move and scan the bank notes.

Brief Explanation of the Drawings

FIG 1 is a drawing of the mechanism in a bank note counter used in the present invention.

FIG 2 is a simplified drawing of the optical scanner therein.

FIG 3 is a drawing of a circuit used in the present invention.

FIG 4 is a timing chart in which (A) through (S) are operational examples.

FIG 5 is a waveform diagram of amplified signals (A) through (D) outputted for the different denomination bank notes.

FIG 6 is a waveform diagram of signals (A) through (H) in which differentiating signals outputted for the different denomination bank notes have been squared.

FIG 7 is a table showing the binary value relationship between the H level and the L level in Zone I, Zone II and Zone III for the different denomination bank notes.

- 1 ... bank note
- 2, 5 ... conveyor belts
- 3 ... separating roller
- 4, 6 ... conveyor rollers
- 7 ... bank note arranging roller
- 8 ... storage unit
- 9 ... light source
- 10 ... light-receiving element
- 11 ... slit
- 12 ... plate
- 13 ... rotary encoder
- 20 ... current-voltage signal converter
- 21, 35 ... inverters
- 22, 25, 27, 28, 40 ... comparators
- 23 ... non-inverting amplifier
- 24 ... differentiating circuit

26 ... squaring circuit
29 ~ 34, 36 ... AND circuit
37 ... counter circuit
38 ... voltage device
39 ... linear sweep device
41 ... analog switch
50 ... zone forming circuit
50A ~ 50C ... logic circuits
51 ~ 57 ... flip-flops
58 ~ 64 ... latched circuits
65 ... logic operation circuit

FIG 1

FIG 2

FIG 3

10 ... Light Passes Through

65 ... 10,000 5,000 1,000 500

FIG 4

FIG 5

FIG 6

FIG 7

	H Level			L Level		
	I	II	III	I	II	III
10,000 Yen Note	1	0	1	1	1	1
	1	0	1	1	0	1
5,000 Yen Note	1	0	1	1	0	1
1,000 Yen Note	1	0	0	1	1	1
	0	0	1	1	1	1
	0	0	0	1	1	1
500 Yen Note	1	0	1	1	1	1
	1	1	1	1	1	1

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.